

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2000106410  
PUBLICATION DATE : 11-04-00

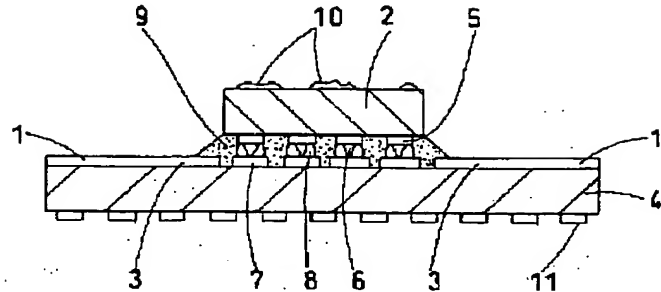
APPLICATION DATE : 28-09-98  
APPLICATION NUMBER : 10273411

APPLICANT : MATSUSHITA ELECTRONICS  
INDUSTRY CORP;

INVENTOR : ISHIKAWA KAZUHIRO;

INT.CL. : H01L 23/12 H01L 21/60

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device capable of properly enhancing radiation of the heat emitted by a semiconductor element also realizing and securing a thin and light weight semiconductor device and fixing a heat sink.

SOLUTION: In a semiconductor device wherein a semiconductor element 2 packaged with a flip chip is supported on a semiconductor element package area of a semiconductor carrier board 4, a metallic heat radiating areas 1 plated with a high heat conductive metal as well as metallic plating heat radiating patterns 3 conducting the heat from the semiconductor element packaging area to the metallic plated heat radiating patterns 3. Through these procedures, the heat emitted by the semiconductor element 2 in the operation time can be dissipated to the printed packaging board to be efficiently dissipated to the the printed packaging board thereby enabling the semiconductor device with low heat resistance to be realized.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-106410  
(P2000-106410A)

(43) 公開日 平成12年4月11日 (2000.4.11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 23/12		H 0 1 L 23/12	J 5 F 0 4 4
21/60	3 1 1	21/60	3 1 1 S
		23/12	L

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平10-273411

(22) 出願日 平成10年9月28日 (1998.9.28)

(71) 出願人 000005843

松下電子工業株式会社  
大阪府高槻市幸町1番1号

(72) 発明者 石川 和弘

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

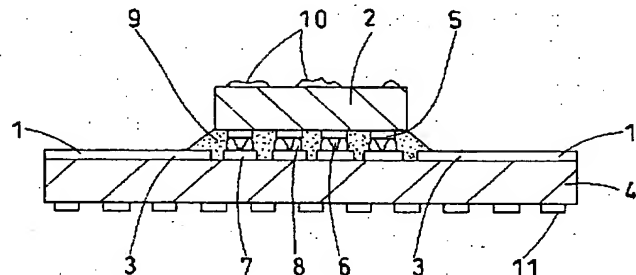
Fターム (参考) 5F044 GG10 KK04 LL01 QQ01 RR18

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 消費電力が高い仕様の半導体素子を用いてフリップチップ実装した場合、急激な半導体素子の温度上昇により半導体素子が破壊し、半導体装置が動作しなくなるといった不具合を解消する。

【解決手段】 半導体キャリア基板4の半導体素子実装エリアにフリップチップで実装した半導体素子2を支持し、半導体キャリア基板4の上面に複数の電極7と配線12を形成した半導体装置であって、半導体キャリア基板4の上面の複数の電極7と配線12以外の部分に、熱伝導性が良好な金属をめっきした金属めっき放熱エリア1と、半導体素子実装エリアから金属めっき放熱エリア1に導く金属めっき放熱パターン3とを設けた。これにより、動作時に発熱する半導体素子2からの熱をプリント実装基板へ効率良く放散させることができ、熱抵抗の低い半導体装置を実現できる。



- 1 … 金属めっき放熱エリア
- 2 … 半導体素子
- 3 … 金属めっき放熱パターン
- 4 … 半導体キャリア基板
- 7 … キャリアの電極

## 【特許請求の範囲】

【請求項1】 半導体キャリア基板の半導体素子実装エリアにフリップチップで実装した半導体素子を支持し、前記半導体キャリア基板の上面に複数の電極と配線を形成した半導体装置であって、前記半導体キャリア基板の上面の前記複数の電極と配線以外の部分に、熱伝導性が良好な金属をめっきした金属めっき放熱エリアと、前記半導体素子実装エリアから前記金属めっき放熱エリアに導く金属めっき放熱パターンとを設けたことを特徴とする半導体装置。

【請求項2】 金属めっき放熱エリアに形成した金属めっき放熱層の厚みは、半導体素子の厚みと同等以下である請求項1記載の半導体装置。

【請求項3】 金属めっき放熱エリアに形成した金属めっき放熱層の外周部を半導体素子の上面レベルまで形成した請求項1記載の半導体装置。

【請求項4】 金属めっき放熱エリアに形成した金属めっき放熱層の断面形状を、波形または凹凸形として表面積を大きくした請求項1、2または3記載の半導体装置。

【請求項5】 金属めっき放熱エリアに形成した金属めっき放熱層の上面に接し、かつ半導体素子の裏面と接触させて放熱板を取付けた請求項3または4記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、フリップチップで実装した半導体素子を支持する半導体キャリア基板に関するもので、特に、動作時に発熱する前記半導体素子からの放熱性の効果を向上させることに特徴を有する半導体装置に関するものである。

## 【0002】

【従来の技術】以下、図面を参照して従来の半導体装置の構造を説明する。図6および図7は従来の半導体装置の断面図および平面図である。図6に示す様に、電極パッド5にバンプ6の形成された半導体素子2が、その主面側を下にして、支持体であるセラミックを絶縁基体とした多層回路基板よりなる半導体キャリア基板4に接合されている。半導体素子2上に形成されたバンプ6と半導体キャリア基板4上の複数の電極7とが半田或いは、導電性接着剤8により接合されている。そして、接合された半導体素子2と半導体キャリア基板4との隙間にはエポキシ系の封止樹脂9が充填被覆されている。尚、半導体キャリア基板4は、その裏面に外部端子11を有し、電極5と外部端子11とは、半導体キャリア基板4内に形成されたビア（図示せず）により、内部接続されているものである。また、図7に示す様に、半導体キャリア基板4上面には、半導体素子2がフリップチップ実装されており、その周囲には、エポキシ系の封止樹脂7が半導体素子2と半導体キャリア基板4との隙間に充填

されてフィレットが形成されており、内層に接続するための金属配線12が形成されているものである。製品状態としては、半導体素子2裏面の露出側にエポキシ系のマークインク10で品番・密番等を捺印している半導体装置である。

## 【0003】

【発明が解決しようとする課題】しかしながら前記従来の半導体装置の構造では、消費電力が高い仕様の半導体素子を用いてフリップチップ実装した場合、急激な半導体素子の温度上昇により半導体素子が破壊し、半導体装置が動作しなくなるといった不具合が発生する。そのため、高放熱仕様の半導体装置の実現が必要不可欠であった。また、放熱板等を取り付けると半導体素子の温度上昇は小さく半導体装置の動作不良は発生しないが、半導体装置の薄型化や軽量化の実現ができなくなるといった技術的な課題が発生する。

【0004】したがって、この発明の目的は、前記従来の課題を解決するもので、半導体素子より発生する熱の放熱特性を向上させることはもちろん、半導体装置の薄型化、軽量化も実現、確保でき、また放熱板の取り付けも可能にした半導体装置を提供することである。

## 【0005】

【課題を解決するための手段】前記課題を解決するためにこの発明の請求項1記載の半導体装置は、半導体キャリア基板の半導体素子実装エリアにフリップチップで実装した半導体素子を支持し、半導体キャリア基板の上面に複数の電極と配線を形成した半導体装置であって、半導体キャリア基板の上面の複数の電極と配線以外の部分に、熱伝導性が良好な金属をめっきした金属めっき放熱エリアと、半導体素子実装エリアから金属めっき放熱エリアに導く金属めっき放熱パターンとを設けたことを特徴とする。

【0006】このように、半導体キャリア基板の上面の複数の電極と配線以外の部分に、熱伝導性が良好な金属をめっきした金属めっき放熱エリアと、半導体素子実装エリアから金属めっき放熱エリアに導く金属めっき放熱パターンとを設けたので、動作時に発熱する半導体素子からの熱をプリント実装基板へ効率良く放散させることができ、熱抵抗の低い半導体装置を実現できる。

【0007】請求項2記載の半導体装置は、請求項1において、金属めっき放熱エリアに形成した金属めっき放熱層の厚みは、半導体素子の厚みと同等以下である。このように、金属めっき放熱エリアに形成した金属めっき放熱層の厚みは、半導体素子の厚みと同等以下であるので、半導体装置の薄型化に寄与することができる。請求項3記載の半導体装置は、請求項1において、金属めっき放熱エリアに形成した金属めっき放熱層の外周部を半導体素子の上面レベルまで形成した。このように、金属めっき放熱エリアに形成した金属めっき放熱層の外周部を半導体素子の上面レベルまで形成したので、金属めっ

き放熱層の体積の増加によりさらに放熱性が向上する。また、金属めっき放熱層の外周部と半導体素子の上面が面一になっているので放熱板の取付けが可能になる。

【0008】請求項4記載の半導体装置は、請求項1、2または3において、金属めっき放熱エリアに形成した金属めっき放熱層の断面形状を、波形や凹凸形として表面積を大きくした。このように、金属めっき放熱エリアに形成した金属めっき放熱層の断面形状を、波形や凹凸形として表面積を大きくしたので、放熱性の向上を図ることができる。

【0009】請求項5記載の半導体装置は、請求項3または4において、金属めっき放熱エリアに形成した金属めっき放熱層の上面に接し、かつ半導体素子の裏面と接触させて放熱板を取付けた。このように、金属めっき放熱エリアに形成した金属めっき放熱層の上面に接し、かつ半導体素子の裏面と接触させて放熱板を取付けたので、半導体素子裏面のみでなく、半導体素子と金属めっき放熱層とを接触させることにより、発熱する半導体素子からの熱を効率良く放散させることができ、優れた放熱効果を有する。

【0010】

【発明の実施の形態】この発明の第1の実施の形態を図1および図2に基づいて説明する。図1はこの発明の第1の実施の形態の半導体装置の断面図である。図1において、1は金属めっき放熱エリア、2は半導体素子、3は金属めっき放熱パターン、4は半導体キャリア基板、5は電極パッド、6はバンプ、7はキャリアの電極、8は半田或いは導電性接着剤、9はエポキシ系封止樹脂、10はエポキシ系マークインク、11は外部端子、12は金属配線である。

【0011】この半導体装置は、半導体素子2と、半導体素子2を支持しかつ半導体素子2からの熱放散性を向上させた半導体キャリア基板4とを備えている。半導体素子2は、電極パッド5にバンプ6が形成されている。半導体キャリア基板4は、支持体であるセラミックを絶縁基体とした多層回路基板より成り、その底面に格子状に配列された外部端子11を有し、上面に複数の電極7と金属配線12を有する。電極7と外部端子11とは半導体キャリア基板4内に形成されたビア（図示せず）により内部に接続されている。金属配線12は内層に接続するためのものである。また、半導体キャリア基板4の上面の複数の電極7、配線12以外の部分に、表面外周部にCu等の熱伝導性が良好な金属メッキ放熱エリア1と、半導体素子2の実装領域内側から金属めっき放熱エリア1へ導くもう一つの金属めっき放熱パターン3とが設けてある。金属めっき放熱エリア1に形成した金属めっき放熱層の厚みは、半導体素子2の厚みと同等以下で設計する。

【0012】製造時において、半導体素子2はその主面側を下にして半導体キャリア基板4に接続される。すな

わち、半導体素子2上に形成されたバンプ6と半導体キャリア基板4上の複数の電極7とが半田或いは導電性接着剤8等により接続されている。そして、接続された半導体素子2と半導体キャリア基板4との隙間にはエポキシ系の封止樹脂9が充填されている。製品状態としては、半導体素子2の裏面の露出面にエポキシ系のマークインク10で品番や密番等が捺印されている半導体装置である。

【0013】図2はこの発明の第1の実施の形態の半導体装置の平面図である。図2に示すように、金属メッキ放熱エリア1と金属メッキ放熱パターン3を設けた半導体キャリア基板4上に、半導体素子2がフリップチップ実装されており、半導体素子2の裏面が露出しているものである。以上のようにこの実施の形態によれば、フリップチップで実装した半導体素子2を支持する半導体キャリア基板4の上面に、熱伝導性が良好な金属めっき放熱層を形成したことから、動作時に発熱する半導体素子からの熱をプリント実装基板へ効率良く放散させることができ、熱抵抗の低い半導体装置を実現できる。

【0014】また、このように、金属めっき放熱層の厚みは、半導体素子2の厚みと同等以下であるので、半導体装置の薄型化が実現できる。また、金属めっき放熱層の表面を波形や凹凸状に形成することにより、表面積が大きくなり、放熱性の向上を図ることができる。図3～図5はこの発明のそれぞれ別の実施の形態を示す。なお、同様の部材には同一符号を付してその説明を省略する。

【0015】図3はこの発明の第2の実施の形態の半導体装置を示す断面図である。この実施の形態では、金属めっき放熱エリア1に形成された金属めっき放熱層の外周部1aを半導体素子2の上面レベルまで形成してある。この場合、外周部1aの層上面に凹凸が形成してある。そして、金属めっき放熱エリア1を形成した半導体キャリア基板4とフリップチップ実装された半導体素子2との隙間にエポキシ系の封止樹脂9を塗布させ、金属めっき放熱エリア1の外周部1aの層上面と半導体素子2の上面までエポキシ系封止樹脂9が充填被覆されている。以上のようにこの実施の形態によれば、金属めっき放熱層の体積の増加および外周部1aの層上面の凹凸によりさらに放熱性が向上する。また、金属めっき放熱層の外周部1aと半導体素子2の上面が面一になっているので後述の放熱板の取付けが可能になる。

【0016】図4はこの発明の第3の実施の形態の半導体装置を示す断面図、図5はこの発明の第3の実施の形態の半導体装置の変形例である。この実施の形態では、図4に示すように、金属めっき放熱エリア1に形成された金属めっき放熱層の形状は第2の実施の形態と同様である。また、金属めっき放熱エリア1の上面と半導体素子2の上面とを熱伝導性が良好で且つ軽量化が図れる金属等の放熱板13で接触させ、その隙間には放熱用の接

着材14を塗布して接合させている。なお、放熱板13を取り付ける場合は、放熱用の接着剤14を用いることから、金属めっき放熱層の上面部の形状は、凹凸形状でも図5に示すようなフラット形状でも取り付け可能である。また、放熱板13の取り付けにより、半導体素子2の裏面への捺印は、放熱板13上面に捺印することができるものである。以上のようにこの実施の形態によれば、金属めっき放熱エリア1に形成した金属めっき放熱層の上面に接し、かつ半導体素子2の裏面と接触させて放熱板13を取付けたので、半導体素子裏面のみでなく、半導体素子2と金属めっき放熱層とを接触させることにより、発熱する半導体素子2からの熱を効率良く放散させることができ、優れた放熱効果を有する。

【0017】なお、図1において、金属めっき放熱エリア1に形成した金属めっき放熱層の断面形状を、波形または凹凸形として表面積を大きくしてもよい。また、図3および図4において、金属めっき放熱エリア1の外周部1aの層上面を凹凸形としたが波形にしてもよい。

【0018】

【発明の効果】この発明の半導体装置によれば、半導体キャリア基板の上面の複数の電極と配線以外の部分に、熱伝導性が良好な金属をめっきした金属めっき放熱エリアと、半導体素子実装エリアから金属めっき放熱エリアに導く金属めっき放熱パターンとを設けたので、動作時に発熱する半導体素子からの熱をプリント実装基板へ効率良く放散させることができ、熱抵抗の低い半導体装置を実現できる。

【0019】請求項2では、金属めっき放熱エリアに形成した金属めっき放熱層の厚みは、半導体素子の厚みと同等以下であるので、半導体装置の薄型化に寄与することができる。請求項3では、金属めっき放熱エリアに形成した金属めっき放熱層の外周部を半導体素子の上面レベルまで形成したので、金属めっき放熱層の体積の増加によりさらに放熱性が向上する。また、金属めっき放熱層の外周部と半導体素子の上面が面一になっているので放熱板の取付けが可能になる。

【0020】請求項4では、金属めっき放熱エリアに形

成した金属めっき放熱層の断面形状を、波形や凹凸形として表面積を大きくしたので、放熱性の向上を図ることができる。請求項5では、金属めっき放熱エリアに形成した金属めっき放熱層の上面に接し、かつ半導体素子の裏面と接触させて放熱板を取付けたので、半導体素子裏面のみでなく、半導体素子と金属めっき放熱層とを接触させることにより、発熱する半導体素子からの熱を効率良く放散させることができ、優れた放熱効果を有する。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態の半導体装置を示す断面図である。

【図2】この発明の第1の実施の形態の半導体装置を示す平面図である。

【図3】この発明の第2の実施の形態の半導体装置を示す断面図である。

【図4】この発明の第3の実施の形態の半導体装置を示す断面図である。

【図5】この発明の第3の実施の形態の半導体装置の変形例を示す断面図である。

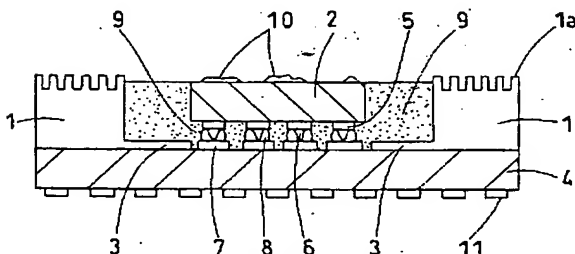
【図6】従来例の半導体装置を示す断面図である。

【図7】従来例の半導体装置を示す平面図である。

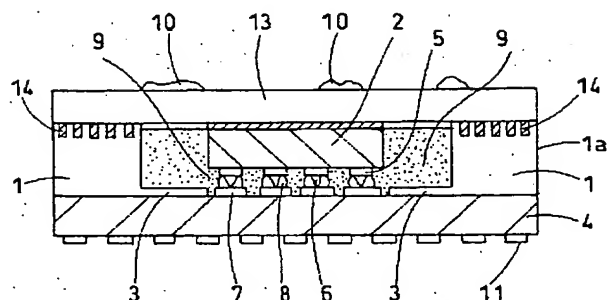
【符号の説明】

- 1 金属めっき放熱エリア
- 2 半導体素子
- 3 金属めっき放熱パターン
- 4 半導体キャリア基板
- 5 電極パッド
- 6 バンプ
- 7 キャリアの電極
- 8 半田或いは導電性接着剤
- 9 エポキシ系封止樹脂
- 10 エポキシ系マークインク
- 11 外部端子
- 12 金属配線
- 13 放熱板
- 14 放熱用の接着材

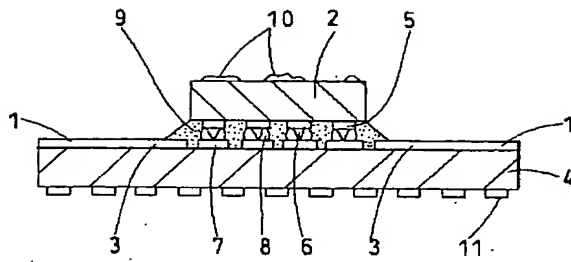
【図3】



【図4】

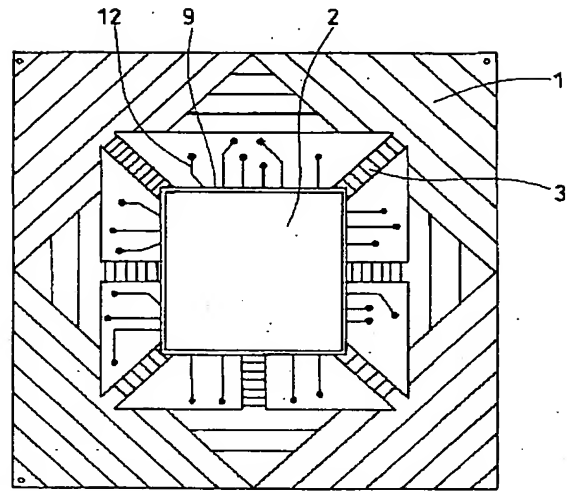


【図1】

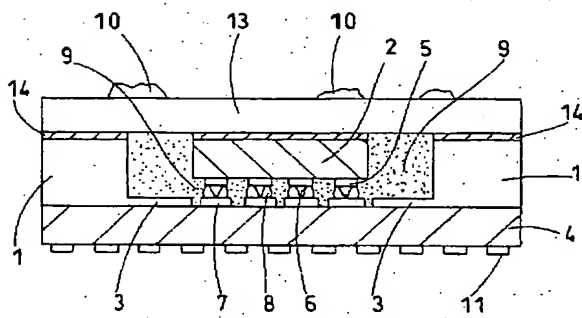


1...金属  
2...半導体  
3...金属  
4...半導体  
5...金属  
6...半導体  
7...金属  
8...半導体  
9...金属  
10...半導体  
11...金属  
12...半導体  
13...金属  
14...半導体

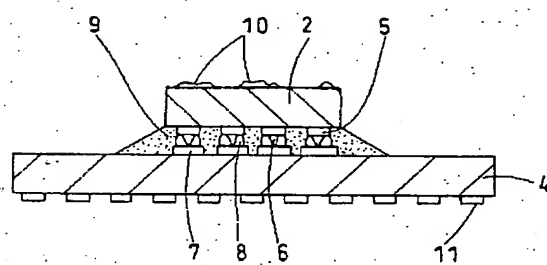
【図2】



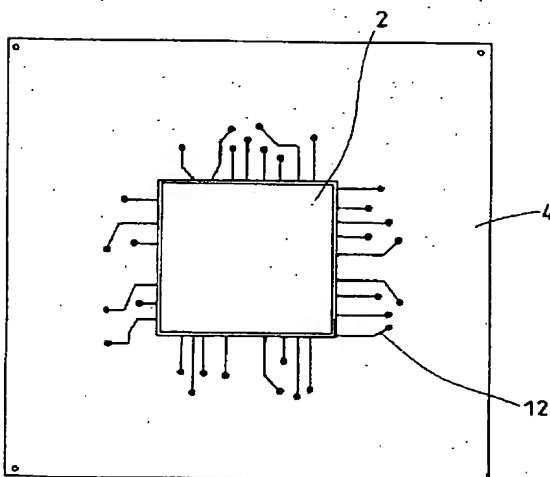
【図5】



【図6】



【図7】



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device which has the feature to raise the effect of the thermolysis nature from the aforementioned semiconductor device which generates heat especially at the time of operation about the semiconductor carrier substrate which supports the semiconductor device mounted by the flip chip.

[0002]

[Description of the Prior Art] Hereafter, the structure of the conventional semiconductor device is explained with reference to a drawing. Drawing 6 and drawing 7 are the conventional cross sections and plans of a semiconductor device. As shown in drawing 6, the semiconductor device 2 by which the bump 6 was formed in the electrode pad 5 turns the principal plane side down, and is joined to the semiconductor carrier substrate 4 which consists of a multilayered circuit board which made the insulating base the ceramic which is a base material. The bump 6 formed on the semiconductor device 2 and two or more electrodes 7 on the semiconductor carrier substrate 4 are joined by solder or the electroconductive glue 8. And restoration covering of the closure resin 9 of an epoxy system is carried out in the crevice between the semiconductor devices 2 and the semiconductor carrier substrates 4 which were joined. In addition, the semiconductor carrier substrate 4 has the external terminal 11 at the rear face, and the electrode 5 and the external terminal 11 are connected internally with the beer (not shown) formed in the semiconductor carrier substrate 4. Moreover, as shown in drawing 7, flip chip mounting of the semiconductor device 2 is carried out, the crevice between a semiconductor device 2 and the semiconductor carrier substrate 4 is filled up with the closure resin 7 of an epoxy system, a fillet is formed in the circumference, it gets down to the semiconductor carrier substrate 4 upper surface, and the metal wiring 12 for connecting with a inner layer is formed in it. As a product state, it is the semiconductor device which has sealed the exposure side of semiconductor device 2 rear face in the lot number, the secret number, etc. in the mark ink 10 of an epoxy system.

[0003]

[Problem(s) to be Solved by the Invention] However, with the structure of the aforementioned conventional semiconductor device, when power consumption carries out flip chip mounting using the semiconductor device of high specification, a semiconductor device breaks by the temperature rise of a rapid semiconductor device, and the fault of a semiconductor device stopping operating occurs. Therefore, realization of the semiconductor device of high thermolysis specification was indispensable. Moreover, although the temperature rise of a semiconductor device will be small and the malfunction of a semiconductor device will not be generated if a heat sink etc. is attached, the technical technical problem of realization of thin-shape-izing of a semiconductor device or lightweight-izing becoming impossible occurs.

[0004] Therefore, the purpose of this invention is offering the semiconductor device which solves the aforementioned conventional technical problem, and could also realize and secure thin-shape-izing of a semiconductor device, and lightweight-ization as well as raising the thermolysis property of the heat generated from a semiconductor device, and also enabled installation of a heat sink.

[0005]

[Means for Solving the Problem] In order to solve the aforementioned technical problem the semiconductor device of this invention according to claim 1 The semiconductor device mounted in the semiconductor device mounting area of a semiconductor carrier substrate by the flip chip is supported. The metal plating thermolysis area where it is the semiconductor device in which two or more electrodes and wiring were formed on the upper surface of a semiconductor carrier substrate, and thermal conductivity galvanized the good metal into two or more electrodes of the upper surface of a semiconductor carrier substrate, and portions other than wiring, It is characterized by



preparing the metal plating thermolysis pattern led to metal plating thermolysis area from semiconductor device mounting area.

[0006] Thus, since thermal conductivity prepared the metal plating thermolysis pattern led to metal plating thermolysis area from the metal plating thermolysis area which galvanized the good metal, and semiconductor device mounting area in two or more electrodes of the upper surface of a semiconductor carrier substrate, and portions other than wiring, the heat from the semiconductor device which generates heat at the time of operation can be made to radiate efficiently to a print mounting substrate into them, and the low semiconductor device of thermal resistance can be realized into them.

[0007] The thickness of the metal plating thermolysis layer which formed the semiconductor device according to claim 2 in metal plating thermolysis area in the claim 1 is the thickness of a semiconductor device, and below equivalent. Thus, since the thickness of the metal plating thermolysis layer formed in metal plating thermolysis area is the thickness of a semiconductor device, and below equivalent, it can be contributed to thin shape-ization of a semiconductor device. The semiconductor device according to claim 3 formed the periphery section of the metal plating thermolysis layer formed in metal plating thermolysis area to the upper surface level of a semiconductor device in the claim 1. Thus, since the periphery section of the metal plating thermolysis layer formed in metal plating thermolysis area was formed to the upper surface level of a semiconductor device, thermolysis nature improves further by the increase in the volume of a metal plating thermolysis layer. Moreover, since the periphery section of a metal plating thermolysis layer and the upper surface of a semiconductor device are flat-tapped, anchoring of a heat sink is attained.

[0008] The semiconductor device according to claim 4 enlarged the surface area for the cross-section configuration of the metal plating thermolysis layer formed in metal plating thermolysis area as a wave or tothing in claims 1, 2, or 3. Thus, since the surface area was enlarged for the cross-section configuration of the metal plating thermolysis layer formed in metal plating thermolysis area as a wave or tothing, improvement in thermolysis nature can be aimed at.

[0009] In claims 3 or 4, the semiconductor device according to claim 5 touched the upper surface of the metal plating thermolysis layer formed in metal plating thermolysis area, and was contacted at the rear face of a semiconductor device, and attached the heat sink. Thus, since touched the upper surface of the metal plating thermolysis layer formed in metal plating thermolysis area, and the rear face of a semiconductor device was made to contact and the heat sink was attached, by contacting not only a semiconductor device rear face but a semiconductor device, and a metal plating thermolysis layer, the heat from the semiconductor device generating heat can be made to radiate efficiently, and it has the outstanding thermolysis effect.

[0010]

[Embodiments of the Invention] The gestalt of implementation of the 1st of this invention is explained based on drawing 1 and drawing 2. Drawing 1 is the cross section of the semiconductor device of the gestalt of implementation of the 1st of this invention. drawing 1 -- setting -- 1 -- metal plating thermolysis area and 2 -- a semiconductor device and 3 -- a metal plating thermolysis pattern and 4 -- a semiconductor carrier substrate and 5 -- an electrode pad and 6 -- for solder or an electroconductive glue, and 9, as for epoxy system mark ink and 11, an epoxy system closure resin and 10 are [ a bump and 7 / the electrode of a carrier, and 8 / an external terminal and 12 ] metal wiring

[0011] This semiconductor device is equipped with the semiconductor carrier substrate 4 which supported the semiconductor device 2 and the semiconductor device 2, and raised the heat leakage nature from a semiconductor device 2. As for the semiconductor device 2, the bump 6 is formed in the electrode pad 5. The semiconductor carrier substrate 4 consists of the multilayered circuit board which made the insulating base the ceramic which is a base material, has the external terminal 11 arranged in the shape of a grid on the base, and has two or more electrodes 7 and the metal wiring 12 on the upper surface. The electrode 7 and the external terminal 11 are connected to the interior by the beer (not shown) formed in the semiconductor carrier substrate 4. The metal wiring 12 is for connecting with a inner layer. Moreover, another metal plating thermolysis pattern 3 led to the metal plating thermolysis area 1 is formed in two or more electrodes 7 of the upper surface of the semiconductor carrier substrate 4, and portions other than wiring 12 at the surface periphery section from the metal plating thermolysis area 1 where thermal conductivity, such as Cu, is good, and the mounting field inside of a semiconductor device 2. The thickness of the metal plating thermolysis layer formed in the metal plating thermolysis area 1 is designed by the thickness of a semiconductor device 2, and below equivalent.

[0012] At the time of manufacture, a semiconductor device 2 turns the principal plane side down, and is connected to the semiconductor carrier substrate 4. That is, the bump 6 formed on the semiconductor device 2 and two or mor



electrodes 7 on the semiconductor carrier substrate 4 are connected by solder or the electroconductive-glue 8 grade. And the crevice between the semiconductor devices 2 and the semiconductor carrier substrates 4 which were connected is filled up with the closure resin 9 of an epoxy system. As a product state, it is the semiconductor device with which the lot number, the secret number, etc. are sealed by the exposed surface of the rear face of a semiconductor device 2 in the mark ink 10 of an epoxy system.

[0013] Drawing 2 is the plan of the semiconductor device of the gestalt of implementation of the 1st of this invention. As shown in drawing 2, on the semiconductor carrier substrate 4 which formed the metal plating thermolysis area 1 and the metal plating thermolysis pattern 3, flip chip mounting of the semiconductor device 2 is carried out, and the rear face of a semiconductor device 2 is exposed. Since thermal conductivity formed the good metal plating thermolysis layer in the upper surface of the semiconductor carrier substrate 4 which supports the semiconductor device 2 mounted by the flip chip as mentioned above according to the gestalt of this operation, the heat from the semiconductor device which generates heat at the time of operation can be made to radiate efficiently to a print mounting substrate, and the low semiconductor device of thermal resistance can be realized.

[0014] Moreover, in this way, since the thickness of a metal plating thermolysis layer is the thickness of a semiconductor device 2, and below equivalent, it can realize thin shape-ization of a semiconductor device. Moreover, by forming the front face of a metal plating thermolysis layer a wave and in the shape of irregularity, a surface area becomes large and improvement in thermolysis nature can be aimed at. Drawing 3 - drawing 5 show the gestalt of respectively different implementation of this invention. In addition, the same sign is given to the same member and the explanation is omitted.

[0015] Drawing 3 is the cross section showing the semiconductor device of the gestalt of implementation of the 2nd of this invention. With the gestalt of this operation, periphery section 1a of the metal plating thermolysis layer formed in the metal plating thermolysis area 1 is formed to the upper surface level of a semiconductor device 2. In this case, irregularity is formed in the layer upper surface of periphery section 1a. And the closure resin 9 of an epoxy system is made to apply to the crevice between the semiconductor devices 2 by which flip chip mounting was carried out with the semiconductor carrier substrate 4 in which the metal plating thermolysis area 1 was formed, and restoration covering of the epoxy system closure resin 9 is carried out to the layer upper surface of periphery section 1a of the metal plating thermolysis area 1, and the upper surface of a semiconductor device 2. According to the gestalt of this operation, thermolysis nature improves further as mentioned above with the irregularity on the increase in the volume of a metal plating thermolysis layer, and the upper surface of a layer of periphery section 1a. Moreover, since the upper surface of periphery section 1a of a metal plating thermolysis layer and a semiconductor device 2 is flat-tapped, anchoring of the below-mentioned heat sink is attained.

[0016] The cross section in which drawing 4 shows the semiconductor device of the gestalt of implementation of the 3rd of this invention, and drawing 5 are the modifications of the semiconductor device of the gestalt of implementation of the 3rd of this invention. As the gestalt of this operation shows to drawing 4, the configuration of the metal plating thermolysis layer formed in the metal plating thermolysis area 1 is the same as that of the gestalt of the 2nd operation. Moreover, it is made to contact by the heat sinks 13, such as a metal which thermal conductivity is good in the upper surface of the metal plating thermolysis area 1, and the upper surface of a semiconductor device 2, and can attain lightweight-ization, and the binder 14 for thermolysis is applied to the crevice, and it is joined. In addition, since the adhesives 14 for thermolysis are used when attaching a heat sink 13, the configuration of the upper surface section of a metal plating thermolysis layer can be attached also in a flat configuration as shown in the shape of tothing, and drawing 5. Moreover, the seal to the rear face of a semiconductor device 2 can seal the heat sink 13 upper surface by installation of a heat sink 13. Since touched the upper surface of the metal plating thermolysis layer formed in the metal plating thermolysis area 1, and made the rear face of a semiconductor device 2 contact and a heat sink 13 attached as mentioned above according to the gestalt of this operation, can make the heat from the semiconductor device 2 generate heat radiate efficiently, and it has the outstanding thermolysis effect by contacting not only a semiconductor device rear face but a semiconductor device 2, and a metal plating thermolysis layer.

[0017] In addition, in drawing 1, you may enlarge a surface area for the cross-section configuration of the metal plating thermolysis layer formed in the metal plating thermolysis area 1 as a wave or tothing. Moreover, in drawing 3 and drawing 4, although the layer upper surface of periphery section 1a of the metal plating thermolysis area 1 was made into tothing, you may make it a wave.

[0018]  
[Effect of the Invention] According to the semiconductor device of this invention, since thermal conductivity prepared the metal plating thermolysis pattern led to metal plating thermolysis area from the metal plating

thermolysis area which galvanized the good metal, and semiconductor device mounting area in two or more electrodes of the upper surface of a semiconductor carrier substrate, and portions other than wiring, they can be made to radiate efficiently the heat from the semiconductor device which generates heat at the time of operation to a print mounting substrate, and the low semiconductor device of thermal resistance can be realized into them.

[0019] In a claim 2, since the thickness of the metal plating thermolysis layer formed in metal plating thermolysis area is the thickness of a semiconductor device, and below equivalent, it can be contributed to thin shape-ization of a semiconductor device. In a claim 3, since the periphery section of the metal plating thermolysis layer formed in metal plating thermolysis area was formed to the upper surface level of a semiconductor device, thermolysis nature improves further by the increase in the volume of a metal plating thermolysis layer. Moreover, since the periphery section of a metal plating thermolysis layer and the upper surface of a semiconductor device are flat-tapped, anchoring of a heat sink is attained.

[0020] In a claim 4, since the surface area was enlarged for the cross-section configuration of the metal plating thermolysis layer formed in metal plating thermolysis area as a wave or toothing, improvement in thermolysis nature can be aimed at. In a claim 5, since touched the upper surface of the metal plating thermolysis layer formed in metal plating thermolysis area, and the rear face of a semiconductor device was made to contact and the heat sink was attached, by contacting not only a semiconductor device rear face but a semiconductor device, and a metal plating thermolysis layer, the heat from the semiconductor device generating heat can be made to radiate efficiently and it has the outstanding thermolysis effect.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor device which supported the semiconductor device mounted in the semiconductor device mounting area of the semiconductor carrier substrate characterized by providing the following by the flip chip, and formed two or more electrodes and wiring in the upper surface of the aforementioned semiconductor carrier substrate. Metal plating thermolysis area where thermal conductivity galvanized the good metal into two or more aforementioned electrodes of the upper surface of the aforementioned semiconductor carrier substrate, and portions other than wiring. The metal plating thermolysis pattern led to the aforementioned metal plating thermolysis area from the aforementioned semiconductor device mounting area.

[Claim 2] The thickness of the metal plating thermolysis layer formed in metal plating thermolysis area is a semiconductor device according to claim 1 which are the thickness of a semiconductor device, and below equivalent.

[Claim 3] The semiconductor device according to claim 1 which formed the periphery section of the metal plating thermolysis layer formed in metal plating thermolysis area to the upper surface level of a semiconductor device.

[Claim 4] The semiconductor device according to claim 1, 2, or 3 which enlarged the surface area for the cross-section configuration of the metal plating heat dissipation layer formed in metal plating heat dissipation area as a wave or toothing.

[Claim 5] The semiconductor device according to claim 3 or 4 which touched the upper surface of the metal plating thermolysis layer formed in metal plating thermolysis area, and was contacted at the rear face of a semiconductor device, and attached the heat sink.

---

[Translation done.]